

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-96571

⑬ Int.Cl.⁴
G 11 B 20/10
H 03 L 7/10

識別記号

庁内整理番号
6733-5D
Z-7530-5J

⑭ 公開 昭和61年(1986)5月15日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 信号読取装置

⑯ 特 願 昭59-217189

⑰ 出 願 昭59(1984)10月16日

⑱ 発 明 者 林 英 樹 所沢市花園4丁目2610番地 バイオニア株式会社所沢工場内

⑲ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

⑳ 代 理 人 弁理士 稲本 義雄

明 細 書

1. 発明の名称

信号読取装置

2. 特許請求の範囲

(1) デジタルデータと画像信号とがビデオフォーマット信号として記録されている記録媒体からの再生信号を読み取る信号読取装置において、該再生信号からデジタルデータが記録されているデータフィールドの先頭に記録されているフィールドシンク信号を検出する検出回路と、該再生信号から該デジタルデータを分離する分離回路と、該分離回路により分離された該デジタルデータのエッジを抽出する抽出回路と、該抽出回路により抽出された該エッジからクロック信号を抽出するPLL回路と、該PLL回路により抽出された該クロック信号を基準として、該分離回路により分離された該デジタルデータを読み取る読取回路と、該PLL回路がロックしているか否かを監視する監視回路と、該PLL回路のループフィルタの時定数を切り換える切換回路とを備え、

該検出回路が該フィールドシンクを検出したとき該切換回路を制御し該ループフィルタの時定数を小さくするとともに、該監視回路が該PLL回路のロックが外れたことを検出したとき、該切換回路を制御して該ループフィルタの時定数を小さくすることを特徴とする信号読取装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はデジタルデータと画像信号とがビデオフォーマットで記録されている記録媒体から再生される信号を読み取る信号読取装置に関する。

(従来の技術)

デジタルデータを記録媒体に記録しておき後でこれを再生する場合、データ読み取りのためタイミングをとるクロック信号が必要となる。このため記録時にクロック信号成分をデータとともに記録しておき、再生時PLL回路によってクロック信号を抽出するセルフクロック方式が一般的である。例えば雑誌「電子技術」第24巻、第11号、第36頁乃至第37頁にも開示されているよ

うに、3.5インチのマイクロフロッピーディスクにおいては、データフィールドの先頭にシンクエリアが設けられており、ここでデータ読出しに先立ってPLL回路がロックするようになされている。PLL回路が所定の周波数及び位相の信号にロックするためには多少の時間が必要であり、その時間はPLL回路に含まれるループフィルタの時定数が小さい程速くなる。一方ループフィルタの時定数を小さくすると応答が速くなるので、ノイズ、外乱等による影響を受け易くなってロックが外れ易く、不安定になる。そこでシンクエリアにおいては時定数を小さくしてPLL回路を高速でロックさせるとともに、データエリアにおいては時定数を大きくしてノイズ、ドロップアウト等によりロックが外れないようにしている。また変調方式がFMである場合はシンクエリアにおけるクロック信号がMFMである場合の半分になるため、やはりループフィルタの時定数が切り換えられるようになっている。

〔発明が解決しようとする問題点〕

て位相比較器7に供給されるようになっている。8は位相比較器7の出力が供給されるループフィルタ（ローパスフィルタ）、9はそのループフィルタ8の出力により制御される電圧制御発振器であり、位相比較器7、ループフィルタ8及び電圧制御発振器9はPLL回路を構成している。電圧制御発振器9の出力は読取回路4と位相比較器7に供給されている。10は位相比較器7に接続され、例えば位相比較器7の位相誤差信号のレベルを検知して、PLL回路が所定の周波数及び位相の信号にロックしているか否かを監視する監視回路である。11は検出回路3又は監視回路10の出力を受け、ループフィルタ8の時定数を切り換える切換回路である。

〔作用〕

しかしてその動作を説明する。入力端子1から入力される信号はビデオフォーマット信号となっている。従って例えばNTSC方式による場合、262.5本の水平走査線からなるフィールドが2つで1つのフレームを構成しており、各フー

しかしながら従来の斯かる信号読取装置においては、PLL回路が一旦ロックした後、何等かの原因でロックが外れると、再度ロックするのに時間が掛かる欠点があった。また上記例におけるシンクエリアのような所定の期間内に何等かの原因でロックできなかった場合、最終的にロックするまでに要する時間が長くなる欠点があった。

〔問題点を解決するための手段〕

第1図は本発明の信号読取装置の構成を表している。同図において1は入力信号が供給される入力端子であり、入力信号からデータを分離する分離回路2と、入力信号からデータが記録されているフィールドの先頭に設けられているフィールドシンクを検出する検出回路3に接続されている。4は分離回路2により分離されたデジタルデータを読み取る読取回路である。5は分離回路2により分離されたデータのエッジを抽出する抽出回路である。抽出回路5により抽出されたエッジに同期して単安定マルチバイブレータ6がトリガされ、その出力パルスがPLL回路の基準信号とし

ルドの先頭にはパーティカルシンク（垂直同期信号）が所定ラインだけ設けられている。そのフィールドがビデオフィールドである場合は、パーティカルシンクに続いて画像信号（アナログ信号）が記録されており、通常のテレビジョン信号と同様である。そのフィールドがデータフィールドである場合は、例えば第2図に示す如き構成となっている。すなわちパーティカルシンクに続いてフィールドシンクが1ライン設けられ、次の4ラインはフィールドコードを含むコントロールデータブロックとされ、続いて25ライン毎のデータブロックが9つ形成されている。

分離回路2は斯かるフィールドのうちデータフィールドからデータのみを分離出力するのでビデオフィールドの画像信号は読取回路4及び抽出回路5には供給されない。抽出回路5は分離されたデータのエッジを抽出し、抽出したエッジのタイミングで単安定マルチバイブレータ6をトリガする。この単安定マルチバイブレータ6の出力パルスはPLL回路の基準信号となる。基準信号はク

ロック周波数に等しい成分を含んでおり、PLL回路はこのクロック周波数に周波数同期する。また基準信号の基準位相はデータのエッジのタイミングと単安定マルチバイブレータ6の出力パルス幅により決定され、PLL回路はこの基準位相に位相同期する。このようにしてPLL回路は所定の周波数及び位相にロックして、クロック信号を出力するので、そのタイミングを基準として読取回路4はディジタルデータを読み取ることができる。

ところで入力端子1に入力されたのがデータフィールドである場合、パーティカルシンクに続く第22ラインはビット同期信号が記録されているフィールドシンクとなっている。このフィールドシンクを検出すると検出回路3は切換回路11に信号を発し、ループフィルタ8の時定数を小さい値に切り換えさせる。その結果PLL回路は応答が速くなり、速やかにビット同期信号にロックすることになる。フィールドシンクが終了すると検出回路3は再び切換回路11に信号を発し、ループ

フィルタ8の時定数を再び大きい値に切り換えさせる。従ってフィールドシンクに続く第23ラインから第26ラインのフィールドコードを含むコントロールデータブロック、さらに第27ラインから26ライン毎に9ブロック続くデータブロックの区間においては、ループフィルタ8の時定数は大きい値に切り換えられている。従ってその間電圧制御発振器9が出力するクロック信号は安定しており、ノイズ、ドロップアウト等があっても、PLL回路はそれらに影響されずなっている。

しかしながらドロップアウトが比較的長時間に亘って発生した場合やその他の原因によって、データ区間においてPLL回路のロックが外れたり、あるいはフィールドシンク期間中にPLL回路がロックできないことがある。斯かる場合は監視回路10がこれを検出し切換回路11に信号を出力する。その結果ループフィルタ8の時定数が小さい値に切り換えられ、PLL回路が速やかにロックするようになされる。その後PLL回路がロッ

クしたときは監視回路10は切換回路11に信号を発し、ループフィルタ8の時定数を大きい値に切り換えさせる。

〔効果〕

以上の如く本発明においてはPLL回路のロック状態を監視するようにし、フィールドシンク期間中だけでなく、ロックが外れたときもループフィルタの時定数を小さい値に切り換えるようにしたので、ロックが外れたとしても速やかに回復し、その間の被害を最小限度に押さえることができ、データを正確に読むことができる確率が向上する。またフィールドシンク期間中にロックできなかった場合にもその後速やかにロックし同様の効果が得られる。

4. 図面の簡単な説明

第1図は本発明の信号読取装置のブロック図、第2図はその信号の模式図である。

- 2・・・分離回路 3・・・検出回路
- 4・・・読取回路 5・・・抽出回路
- 6・・・単安定マルチバイブレータ

7・・・位相比較器

8・・・ループフィルタ

9・・・電圧制御発振器

10・・・監視回路 11・・・切換回路

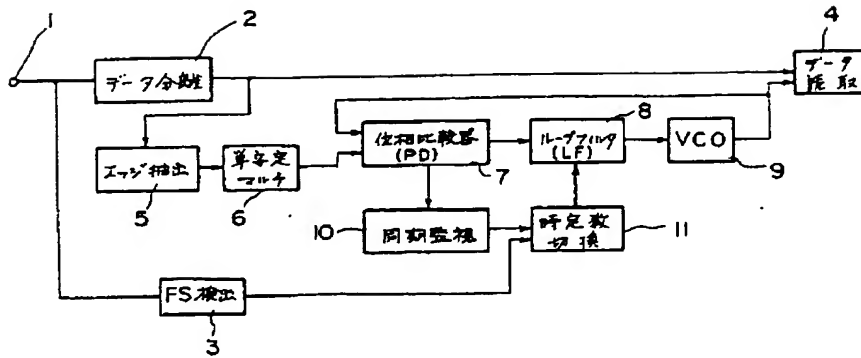
以上

特許出願人

パイオニア株式会社

代理人 井理士 稲本義雄

第 1 図



第 2 図

